

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Toshiaki INOUE

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed March 29, 2004

Examiner

DIGITAL IMAGE PROCESSING DEVICE

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

March 29, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-090064	March 28, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



---

Benoit Castel, Reg. No. 35,041  
745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297  
Telefax (703) 685-0573  
703) 979-4709

BC/ia

Attachment(s): 1 Certified Copy(ies)



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

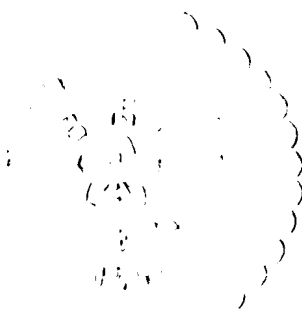
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 9 0 0 6 4  
Application Number:

[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 0 0 6 4 ]

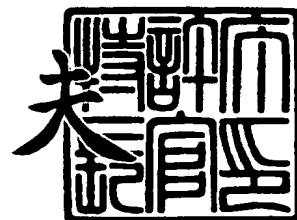
出      願      人                      N E C プ ラ ズ マ デ ィ ス プ レ イ 株 式 会 社  
Applicant(s):



2 0 0 4 年    2 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 23710059

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/38

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 N E C プラズマディスプレイ株式会社内

【氏名】 井上 俊明

【特許出願人】

【識別番号】 000232151

【氏名又は名称】 N E C プラズマディスプレイ株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216533

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル画像処理装置

【特許請求の範囲】

【請求項 1】 フレームメモリを有するデジタル画像処理装置であって、映像入力信号を処理する信号処理手段と、該信号処理手段の処理結果を格納するフレームメモリと、該フレームメモリから読み出された画像ラインに、表示対象とはならない冗長画素を埋め込んで映像出力信号を生成する冗長画素埋込手段とを備えてなることを特徴とするデジタル画像処理装置。

【請求項 2】 前記冗長画素埋込手段が、前記フレームメモリから時系列で読み出される画像データを入力として、画像ラインを構成する出力を発生する直並列変換手段と、前記画像ラインに対して、表示対象とはならない冗長画素を埋め込んで出力する冗長画素埋込回路と、前記冗長画素を埋め込まれた画像ラインを、時系列の画像データとして出力する並直列変換手段とで構成されていることを特徴とする請求項 1 記載のデジタル画像処理装置。

【請求項 3】 前記直並列変換手段が、画像ラインを格納可能なレジスタファイルで構成され、外部から与えられる書込み制御信号に従って、前記フレームメモリから時系列で与えられる画像データを順次格納するとともに、前記レジスタファイル内の全てのレジスタの内容を並列に同時に読出す機能を有することを特徴とする請求項 2 記載のデジタル画像処理装置。

【請求項 4】 前記冗長画素埋込回路が、前記直並列変換手段から読み出された画像ラインを入力として、外部から与えられる埋め込み制御信号に応じて、前記画像ラインの特定の位置に冗長画素を埋め込む機能を有することを特徴とする請求項 2 または 3 記載のデジタル画像処理装置。

【請求項 5】 前記並直列変換手段が、複数のシフトレジスタからなるレジスタファイルと、各シフトレジスタの出力を選択して出力するセクタとを有し、前記レジスタファイルは画像ラインを 1 クロックサイクルで格納可能であるとともに、前記各シフトレジスタは外部から与えられる読出し制御信号に従って、クロック信号に同期してシフト動作可能であり、前記セクタは外部から与えられる埋め込み制御信号に応じて、前記シフトレジスタの特定のシフト出力を選択

して出力する機能を有することを特徴とする請求項 2 乃至 4 のいずれか一記載のデジタル画像処理装置。

【請求項 6】 前記各シフトレジスタが、複数の分割シフトレジスタ群で構成され、各分割シフトレジスタは、データ入力と、シフトデータ入力と、シフトデータ出力と、ラッチ信号入力と、シフト信号入力とを有し、前記分割シフトレジスタへの書込み時には、ラッチ信号入力をアクティブにすることによって、クロックに同期して一度にデータが書き込まれ、シフト動作時には、シフト信号入力をアクティブにすることによって、クロックに同期してデータのシフト動作を行うとともに、各分割シフトレジスタのシフト出力を隣接する分割シフトレジスタのシフト入力に接続することによって、前記シフトレジスタが全体としてシフト動作を行って、各分割シフトレジスタのシフト出力を前記セクタに与える機能を有することを特徴とする請求項 5 記載のデジタル画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル画像処理装置に係り、詳しくは画像表示装置への画像データの供給を行うためのデジタル画像処理装置に関する。

【0002】

【従来の技術】

デジタル画像処理装置に適用されるディスプレイの解像度としては、例えばカラー表示のプラズマディスプレイパネルの場合、WVGA(Wide-VGA; 2559画素×480ライン)、HD(High-Definition; 3072画素×768ライン)、WXGA(Wide-XGA; 4095画素×768ライン)をはじめとして多くの種類が存在し、今後もその種類は増加する傾向にある。

これらの各種の解像度を持つディスプレイパネルを低コストで提供するため、通常は比較的成本の高い駆動回路（データドライバ：以降、簡単のためドライバと略す）等の部品仕様を共通化して、各種のディスプレイパネルに適用できるようにする方法がとられている。

【0003】

図5は、各種のディスプレイパネルとドライバとの接続方法を例示したものであって、各種のディスプレイパネルに対する、例えば、1個あたり96画素の全ラインを駆動することが可能なドライバ501の配置例を示している。

異なる解像度(WXGA、HD、およびWVGA)のディスプレイパネル502、503、および504に対して、ドライバ501を共用する場合、HD解像度のディスプレイパネル502では、図5(b)に示すように、96画素のドライバ501を余すことなく使用して横方向の解像度を実現できるが、WXGA解像度およびWVGA解像度のディスプレイパネル502および504では、図5(a)および図5(c)に示すように未使用の部分が生じる。

#### 【0004】

なお、ドライバ501には通常、入力端子数削減のため、2個乃至4個の入力端子から時系列で画像データを取り込んだ後、96画素を並列に出力する構造がとられている(例えば、uPD16341/A、96ビットAC-PDPドライバ、資料番号S14076JJ5V0PM00(第5版)、June 1999)。

#### 【0005】

そこで、WXGA解像度およびWVGA解像度の場合、ドライバ501へ転送する画像ラインには、ディスプレイパネル502または504とドライバ501との未接続部分のデータ(以後、冗長画素、またはダミーデータと記す)を、あらかじめ埋め込んでおく必要がある。

そのため、ドライバに転送する画像ラインの長さは、実際にディスプレイパネルに表示されるそれよりも長くなる場合がある。さらに、ダミーデータを埋め込む位置と画素数とは、ドライバの種類によっても影響される。現状では、96ビットのドライバ以外に、192ビットおよび256ビットのドライバも市販されている。

#### 【0006】

図6は、従来のデジタル画像処理装置の構成例をブロック図によって示したものである。

映像入力信号601は、信号処理部602によって処理された後、冗長画素埋込部603でディスプレイパネルの解像度に応じたダミーデータが埋め込まれる。ダミーデータを埋め込まれた画像ラインは、フレームメモリ604に格納されたのち、時

系列で各ドライバ605に転送されて、ディスプレイパネル606で表示される。

#### 【0007】

従来のデジタル画像処理装置では、ディスプレイパネルの解像度に応じたダミーデータを含む画像ラインをドライバに転送するために、例えばWXGA解像度の場合には、図6に示すように、信号処理部602の出力画像ライン(4095画素)に対して、あらかじめ冗長画素埋込部603でダミーデータを埋め込んで4224画素として、これをフレームメモリ604に格納するようにしていた。

このように、冗長画素埋込部603でディスプレイの解像度に応じたダミーデータを埋め込むことによって、異なる解像度のディスプレイパネルに対応することができる。

#### 【0008】

なお、通常労力の範囲内で先行技術調査を実施した限りでは、上述した従来技術の内容が具体的に記載された文献に関する情報を得られなかった。

#### 【0009】

##### 【発明が解決しようとする課題】

従来のデジタル画像処理装置における第1の問題点は、フレームメモリの容量が増大するという点である。

これは、実際には表示されないダミーデータを埋め込んだ冗長な画像ラインをフレームメモリに格納するためであって、例えば、WXGA解像度で96ビットのドライバを使用する場合、約3%の容量が、表示されないダミーデータのために使用されることになる。

#### 【0010】

従来のデジタル画像処理装置の第2の問題点は、ハードウェア量が増大するという点である。

これは、画像ラインにダミーデータを埋め込む機能と、ディスプレイパネルのドライバへ時系列にデータ転送を行う機能とを、個別に設計しなければならないためである。

#### 【0011】

この発明は上述の事情に鑑みてなされたものであって、ダミーデータをフレー

ムメモリに格納する無駄を排除し、かつ簡単な回路で、任意の解像度とドライバの組み合わせを採用するディスプレイパネルに適用可能な、デジタル画像処理装置を提供することを目的としている。

#### 【0012】

##### 【課題を解決するための手段】

上記課題を解決するため、請求項1記載の発明はデジタル画像処理装置に係り、フレームメモリを有するデジタル画像処理装置であって、映像入力信号を処理する信号処理手段と、該信号処理手段の処理結果を格納するフレームメモリと、該フレームメモリから読み出された画像ラインに、表示対象とはならない冗長画素を埋め込んで映像出力信号を生成する冗長画素埋込手段とを備えてなることを特徴としている。

#### 【0013】

また、請求項2記載の発明は、請求項1記載のデジタル画像処理装置に係り、上記冗長画素埋込手段が、上記フレームメモリから時系列で読み出される画像データを入力として、画像ラインを構成する出力を発生する直並列変換手段と、上記画像ラインに対して、表示対象とはならない冗長画素を埋め込んで出力する冗長画素埋込回路と、上記冗長画素を埋め込まれた画像ラインを、時系列の画像データとして出力する並直列変換手段とで構成されていることを特徴としている。

#### 【0014】

また、請求項3記載の発明は、請求項2記載のデジタル画像処理装置に係り、上記直並列変換手段が、画像ラインを格納可能なレジスタファイルで構成され、外部から与えられる書込み制御信号に従って、上記フレームメモリから時系列で与えられる画像データを順次格納するとともに、上記レジスタファイル内の全てのレジスタの内容を並列に同時に読出す機能を有することを特徴としている。

#### 【0015】

また、請求項4記載の発明は、請求項2または3記載のデジタル画像処理装置に係り、上記冗長画素埋込回路が、上記直並列変換手段から読み出された画像ラインを入力として、外部から与えられる埋め込み制御信号に応じて、上記画像



ラインの特定の位置に冗長画素を埋め込む機能を有することを特徴としている。

#### 【0016】

また、請求項5記載の発明は、請求項2乃至4のいずれか一記載のデジタル画像処理装置に係り、上記並直列変換手段が、複数のシフトレジスタからなるレジスタファイルと、各シフトレジスタの出力を選択して出力するセクタとを有し、上記レジスタファイルは画像ラインを1クロックサイクルで格納可能であるとともに、上記各シフトレジスタは外部から与えられる読出し制御信号に従って、クロック信号に同期してシフト動作可能であり、上記セクタは外部から与えられる埋め込み制御信号に応じて、上記シフトレジスタの特定のシフト出力を選択して出力する機能を有することを特徴としている。

#### 【0017】

また、請求項6記載の発明は、請求項5記載のデジタル画像処理装置に係り、上記各シフトレジスタが、複数の分割シフトレジスタ群で構成され、各分割シフトレジスタは、データ入力と、シフトデータ入力と、シフトデータ出力と、ラッチ信号入力と、シフト信号入力とを有し、上記分割シフトレジスタへの書込み時には、ラッチ信号入力をアクティブにすることによって、クロックに同期して一度にデータが書き込まれ、シフト動作時には、シフト信号入力をアクティブにすることによって、クロックに同期してデータのシフト動作を行うとともに、各分割シフトレジスタのシフト出力を隣接する分割シフトレジスタのシフト入力に接続することによって、上記シフトレジスタが全体としてシフト動作を行って、各分割シフトレジスタのシフト出力を上記セクタに与える機能を有することを特徴としている。

#### 【0018】

本発明のデジタル画像処理装置では、信号処理部の出力データではなく、フレームメモリから読み出された画像ラインに対してダミーデータを埋め込むようにしている。そのため、フレームメモリに表示対象とはならないダミーデータを格納する必要がない。

また、本発明のデジタル画像処理装置では、画像ライン（1水平ライン）に対して結線論理を用いて並列にダミーデータを埋め込み、シフトレジスタを用い

て時系列にデータドライバへ転送するようにしている。そのため、ダミーデータを埋め込む機能と、ディスプレイパネルのドライバへ時系列にデータ転送を行う機能とを簡単なハードウェアで実現でき、かつ任意の解像度とドライバの組み合わせに対して対応可能である。

#### 【0019】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

図1は、本発明の一実施例であるデジタル画像処理装置の基本構成を示すブロック図、図2は、本実施例のデジタル画像処理装置における冗長画素埋込部の詳細な構成を示す図、図3は、本実施例のデジタル画像処理装置における冗長画素埋込部の具体的構成例を示す図、図4は、本実施例のデジタル画像処理装置における並直列変換回路の具体的構成例を示す図である。

#### 【0020】

この例のデジタル画像処理装置は、図1に示すように、信号処理部102と、フレームメモリ103と、冗長画素埋込部104とから概略構成されている。

信号処理部102は、映像入力信号に対して、フィルタリング等の処理を行って出力する。フレームメモリ103は、画像データをフレームごとに保持する。冗長画素埋込部104は、時系列で入力された画像ラインにダミーデータを埋め込んで、映像出力信号を発生する。

#### 【0021】

以下、図1に示すディスプレイ画像処理装置の動作を説明する。

ディスプレイ画像処理装置において、映像入力信号101は、信号処理部101で処理され、画像データとしてフレームメモリ103に格納される。フレームメモリ103は、例えば映像入力101と映像出力105との転送速度の差を吸収するダブルバッファ等の役割のために設けられる。フレームメモリ103から読み出された画像データは、冗長画素埋込部104でダミーデータを埋め込まれ、映像出力信号105として図示されないディスプレイパネルに与えられる。

#### 【0022】

この例のデジタル画像処理装置における冗長画素埋込部104 は、図2に示すように、直並列変換回路202 と、冗長画素埋込回路203 と、並直列変換回路204 とから構成されている。

直並列変換回路202 は、時系列の入力データをシリアル・パラレル変換して、画像ライン単位で並列に出力する。冗長画素埋込回路203 は、入力された画像ラインにダミーデータを埋め込んで出力する。並直列変換回路204 は、ダミーデータを埋め込まれた画像ラインをパラレル・シリアル変換して、時系列の映像出力信号を発生する。

#### 【0023】

以下、図2に示す冗長画素埋込部104 の動作を説明する。

冗長画素埋込部104 において、フレームメモリ103から時系列で出力されるフレームメモリ出力データ201は、直並列変換回路202でシリアル・パラレル変換を施され、画像ライン単位で並列に出力される。冗長画素埋込回路203では、入力された画像ラインにダミーデータを埋め込んで出力する。ダミーデータを埋め込まれた画像ラインは、並直列変換回路204でパラレル・シリアル変換を施され、時系列のデータからなる映像出力信号105として出力される。

#### 【0024】

図3は、この例のデジタル画像処理装置における、冗長画素埋込部の具体的構成例を示したものであって、画素ラインが最大のWXGA解像度のディスプレイパネルに対応して、64ビットのレジスタ307が64個からなるレジスタファイル301と、冗長画素埋込回路303と、768ビットのシフトレジスタ308が5個と384ビットのシフトレジスタ1個とからなるレジスタファイル305と、セクタ309とから構成されている。

#### 【0025】

以下、図3に具体的構成を示す冗長画素埋込部の動作を詳細に説明する。

レジスタファイル301は、書込み制御信号302に従って、フレームメモリ出力データ201からの64ビットのデータを順次レジスタ307に取り込み、最大WXGA解像度(4095画素/ライン)の画像ラインを取り込んだ時点で、画像ラインの全ての画素を並列に出力する。WXGA解像度以下の画像ラインに対しては、レジスタファ

ル301に対して例えば左詰めで格納して、余った部分に"0"を埋めることで対応する。

#### 【0026】

冗長画素埋込回路304は結線論理で構成され、埋め込み制御信号304に応じて、レジスタファイル307が出力する画像ラインにダミーデータを埋め込む。埋め込み制御信号304は、画像ラインに埋め込むダミーデータの位置を指定するものであって、例えば、ディスプレイパネルの解像度やドライバの種類（1個のドライバが駆動する画素数）等を識別するデコード信号でもよい。

レジスタファイル305は、冗長画素埋込回路304が出力する画像ラインを、例えば768画素ごとに5組と、384画素1組（合計4224画素）とにまとめて、それぞれの768ビットシフトレジスタおよび384ビットシフトレジスタ308に、クロックに同期して、1サイクルで取り込む。

#### 【0027】

さらにレジスタファイル305は、取り込んだ画像ラインに対して、読み出し制御信号に従い、クロックに同期してシフト動作を行う。シフト動作中は、例えば40ビット5組、20ビット1組のシフト出力端子から、取り込んだ画像ラインを時系列で出力する。セクタ309は、埋め込み制御信号304に従い、レジスタファイル305のシフト出力から時系列データを選択して、映像出力データ105として出力する。

#### 【0028】

図4は、この例のデジタル画像処理装置における、並直列変換回路の具体的な構成例を示したものであって、96ビット、64ビットおよび32ビットの分割シフトレジスタ404、405および406から構成された、シフトレジスタ308からなっている。

さらに分割シフトレジスタ404は24ビットのシフトレジスタ4本で構成され、同様に分割シフトレジスタ405は16ビットのシフトレジスタ4本で構成され、分割シフトレジスタ406は、8ビットのシフトレジスタ4本で構成されている。各分割シフトレジスタのシフト出力は、隣接する分割シフトレジスタのシフト入力に接続され、全体で768ビットのシフトレジスタを構成している。

**【0029】**

シフトレジスタ308は、ラッチ信号402をアクティブにすることで、クロックに同期して、冗長画素埋込回路出力データ401を1サイクルで取り込み、シフト信号403をアクティブにすることで、クロックに同期してシフト動作を行う。分割シフトレジスタ404はシフト長24ビットであり、入力データは24回のシフトでシフトアウトされる。

**【0030】**

同様に分割シフトレジスタ405、406はそれぞれ、シフト長16ビット、および8ビットであり、それぞれ16回、および8回のシフトでシフトアウトされる。各分割シフトレジスタからは4ビットのシフトアウトデータが、96ビット、192ビット、および256ビットのデータドライバに対応する出力として、セレクト309に与えられる。

**【0031】**

図3および図4において、画素ラインが最大のWXGA解像度で、96ビット、192ビット、および256ビットのデータドライバに対応する場合、図4のシフトレジスタ308からのシフトアウトデータを図3のセレクト309に入力し、埋め込み制御信号304に従って適切なシフトアウトデータを選択する。ただし埋め込み制御信号304には、冗長画素埋込回路303でのダミーデータの埋め込みに必要な、解像度を識別する信号に加え、ドライバの種類を識別する信号が含まれているものとする。

**【0032】**

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、実施例においては、WXGA解像度を中心に本発明を詳細に説明したが、本発明は、現在市販されているHD解像度、WVGA解像度のディスプレイパネルにも適用可能なだけでなく、今後市場に登場する可能性がある、任意の解像度とドライバ種類の組み合わせに対しても、本発明が原理的に適用可能なものであることは明らかである。

**【0033】**

**【発明の効果】**

本発明のデジタル画像処理装置の第1の効果は、フレームメモリの必要容量を削減でき、フレームメモリとして使用する部品コストや消費電力を削減することができるということである。その理由は、フレームメモリに表示対象とはならないダミーデータを格納する必要がないためである。

**【0034】**

本発明のデジタル画像処理装置の第2の効果は、データドライバへの出力回路に関わるハードウェア量を削減でき、LSI化した場合のチップ面積（コスト）や消費電力を削減することができるということである。その理由は、ダミーデータを埋め込む機能とディスプレイパネルのドライバへ時系列にデータ転送を行う機能を簡単なハードウェアで実現でき、かつディスプレイパネルの任意の解像度とドライバの組み合わせに対応可能なためである。

**【図面の簡単な説明】****【図1】**

本発明の一実施例であるデジタル画像処理装置の基本構成を示すブロック図である。

**【図2】**

同実施例のデジタル画像処理装置における冗長画素埋込部の詳細な構成を示す図である。

**【図3】**

同実施例のデジタル画像処理装置における冗長画素埋込部の具体的構成例を示す図である。

**【図4】**

同実施例のデジタル画像処理装置における並直列変換回路の具体的構成例を示す図である。

**【図5】**

各種のディスプレイパネルとドライバとの接続方法を例示する図である。

**【図6】**

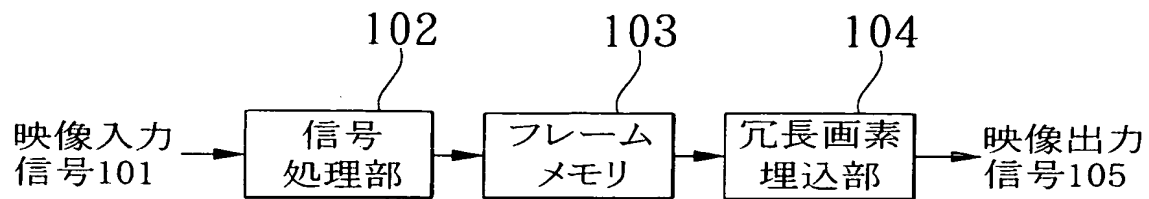
従来のデジタル画像処理装置の構成例を示すブロック図である。

## 【符号の説明】

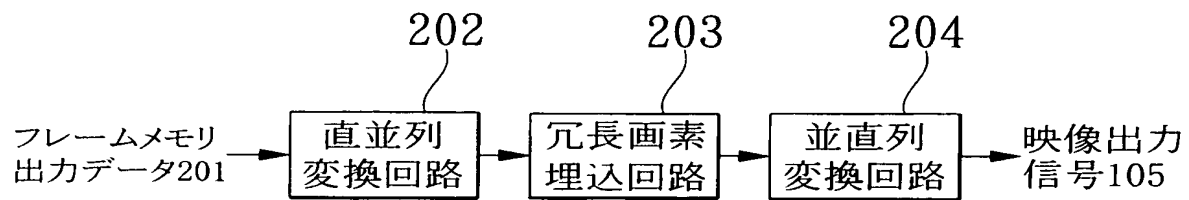
101	映像入力信号
102	信号処理部（信号処理手段）
103	フレームメモリ
104	冗長画素埋込部（冗長画素埋込手段）
105	映像出力信号
201	フレームメモリ出力データ
202	直並列変換回路（直並列変換手段）
203、303	冗長画素埋込回路
204	並直列変換回路（並直列変換手段）
301、305	レジスタファイル
302	書込み制御信号
304	埋め込み制御信号
306	読出し制御信号
307	レジスタ
308	シフトレジスタ
309	セレクタ
401	冗長画素埋込回路出力データ
402	ラッチ信号
403	シフト信号
404、405、406	分割シフトレジスタ

【書類名】 図面

【図 1】

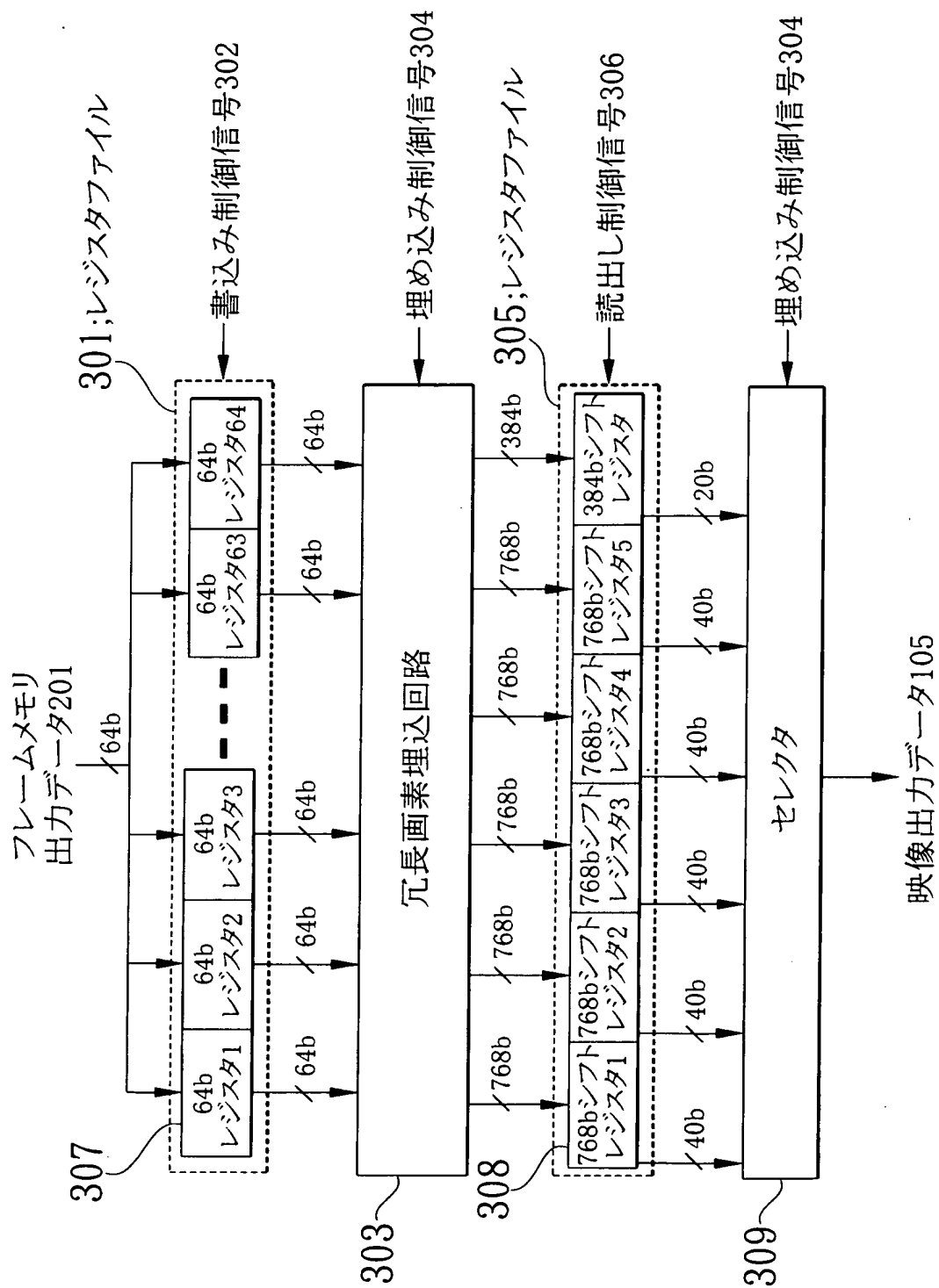


【図 2】

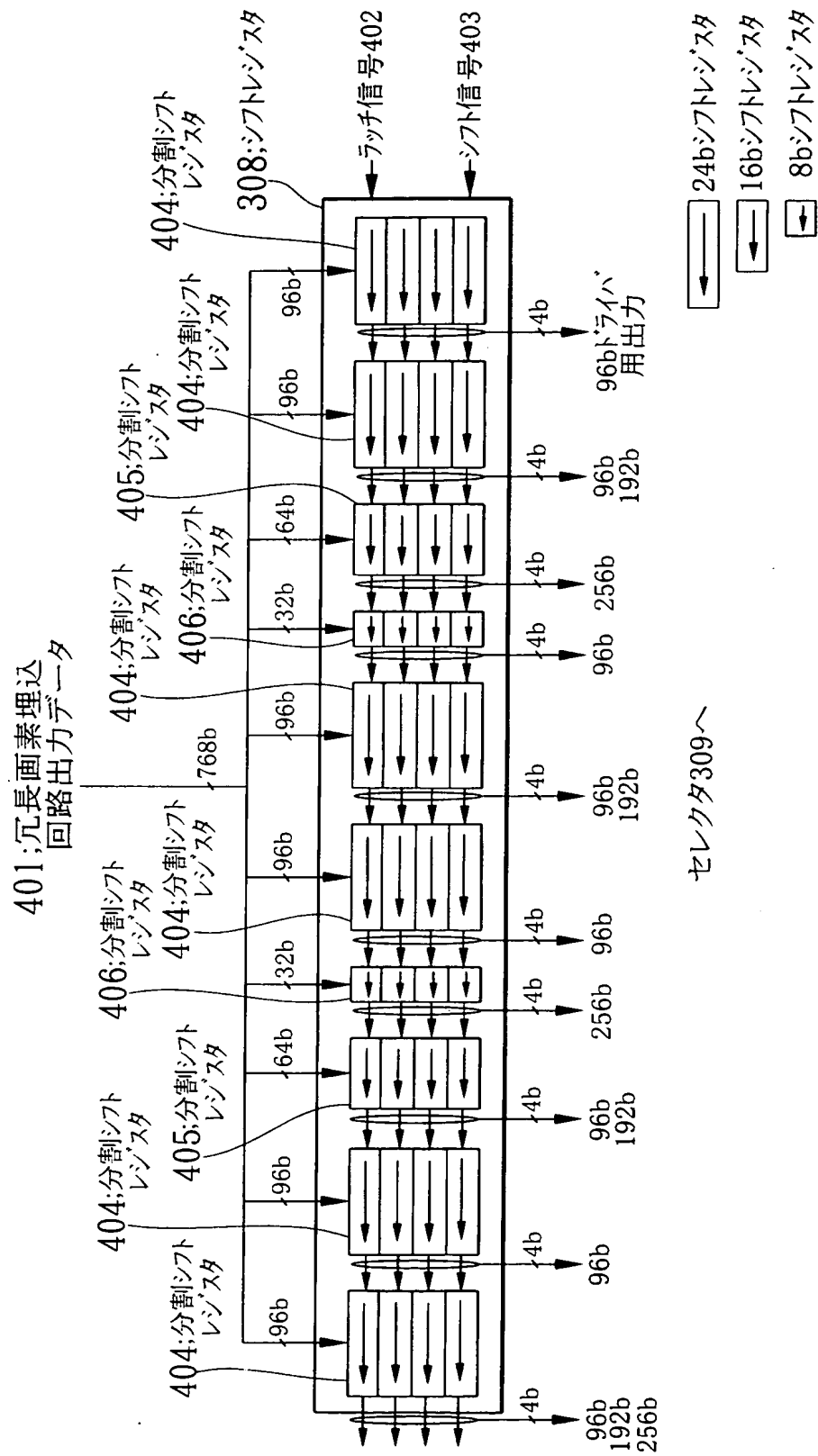




【図 3】



【図 4】



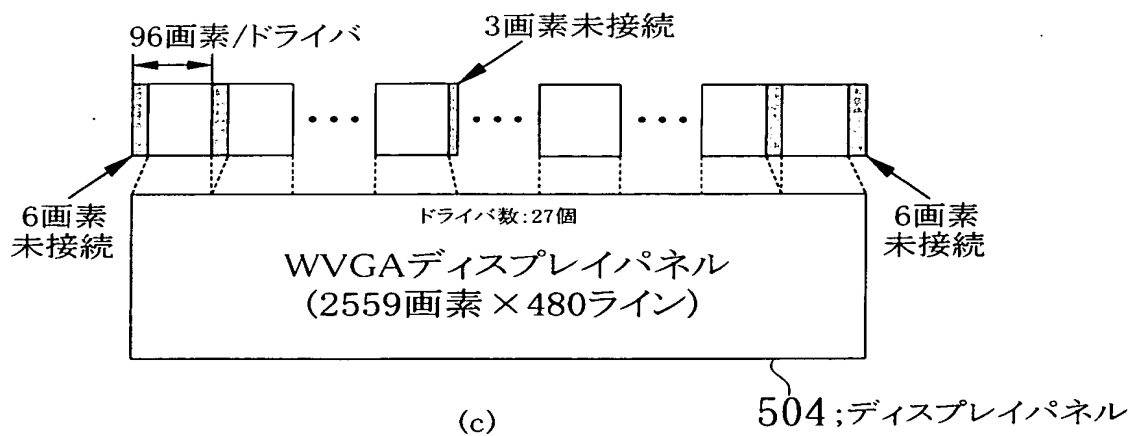
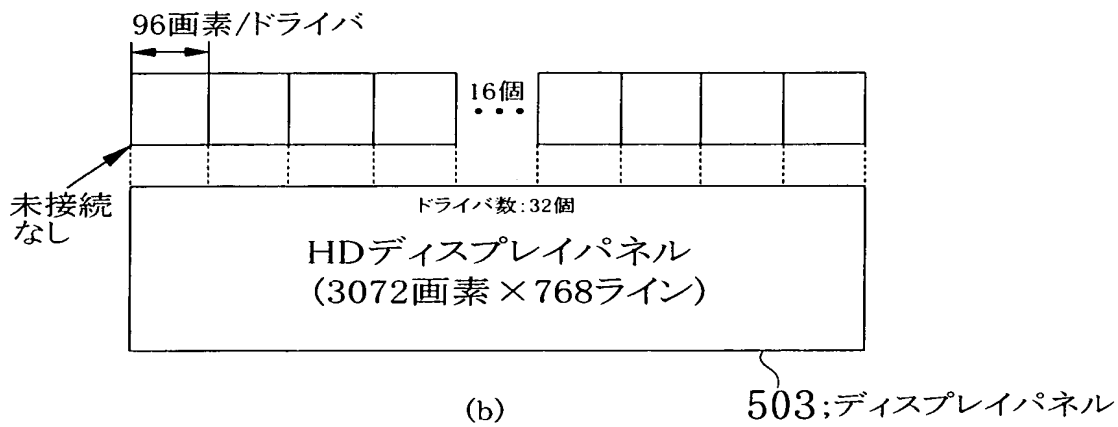
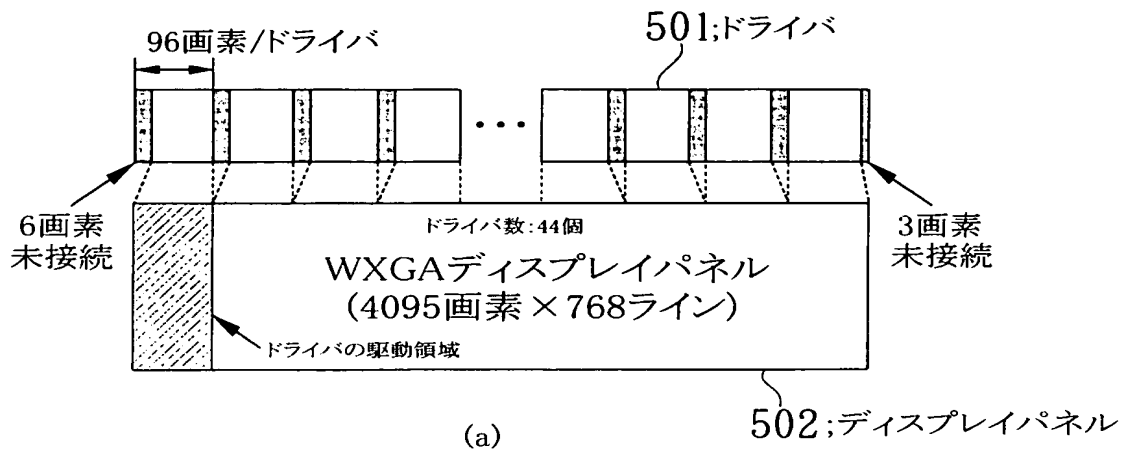
セレクトタ309へ

24bシフトレジスタ  
16bシフトレジスタ  
8bシフトレジスタ

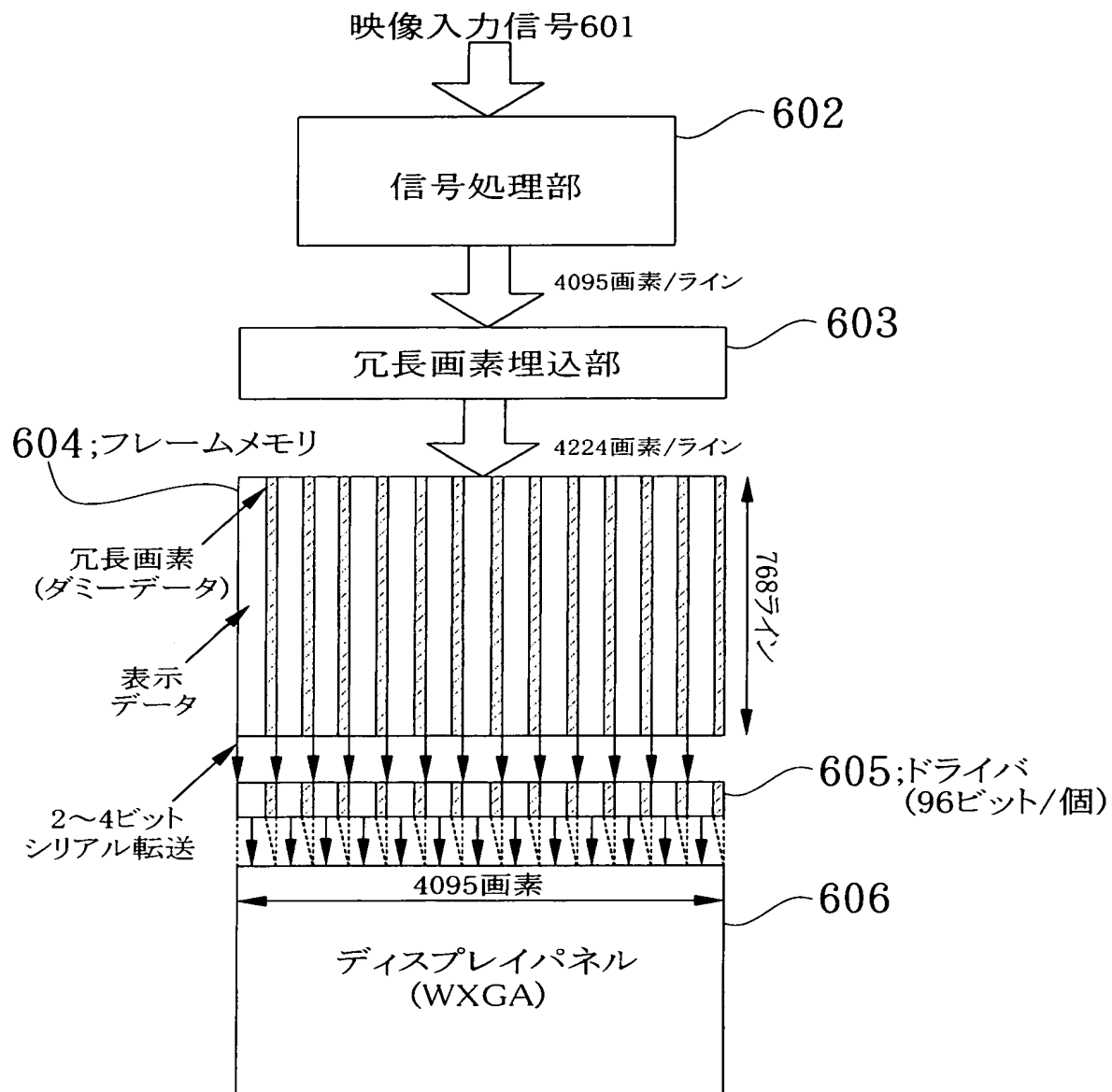
16bシフトレジスタ

8bシフトレジスタ

【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 フレームメモリに格納する画像のデータ量を削減し、かつ簡単な回路構成で、任意の解像度を採用するディスプレイパネルに適用可能である、低コストなデジタル画像処理装置を提供する。

【解決手段】 開示されるデジタル画像処理装置では、映像入力信号は信号処理部102で処理されて、画像データとしてフレームメモリ103に格納される。フレームメモリ103は、例えば映像入力信号と映像出力信号との転送速度の差を吸収するダブルバッファ等の役割を果たすために設けられている。フレームメモリ103から読み出された画像データは、冗長画素埋込部104でダミーデータを埋め込まれて、映像出力信号としてディスプレイパネルに与えられる。

【選択図】 図1

特願 2 0 0 3 - 0 9 0 0 6 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 2 1 5 1 ]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	名称変更
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	N E C プラズマディスプレイ株式会社